

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

010412733     \*\*Image available\*\*

WPI Acc No: 1995-314047/199541

XRPX Acc No: N95-237215

Electronic appts. which has LCD on same substrate, e.g. TFT - has semiconductor IC chip contg. CPU, memory and drive circuits on one substrate, and LCD with active matrix circuit as display, TFT and driver circuit, on another bonded by COG wire bonding method . NoAbstract

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Inventor: TAKEMURA Y; YAMAZAKI S

Number of Countries: 003    Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 7209672</b>	A	19950811	JP 94329652	A	19941202	199541 B
TW 396329	A	20000701	TW 99101918	A	19951124	200104
TW 394922	A	20000621	TW 99101919	A	19951124	200109
US 6198133	B1	20010306	US 94350168	A	19941130	200115
			US 97818884	A	19970317	
			US 99250399	A	19990216	

Priority Applications (No Type Date): JP 93339588 A 19931203

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 7209672	A	14	G02F-001/136	
TW 396329	A		G09G-003/36	
TW 394922	A		G09G-003/36	
US 6198133	B1		H01L-027/01	Cont of application US 94350168 Div ex application US 97818884

Title Terms: ELECTRONIC; APPARATUS; LCD; SUBSTRATE; TFT; SEMICONDUCTOR; IC; CHIP; CONTAIN; CPU; MEMORY; DRIVE; CIRCUIT; ONE; SUBSTRATE; LCD; ACTIVE; MATRIX; CIRCUIT; DISPLAY; TFT; DRIVE; CIRCUIT; BOND; COG; WIRE; BOND; METHOD; NOABSTRACT

Derwent Class: P81; P85; U14

International Patent Class (Main): G02F-001/136; G09G-003/36; H01L-027/01

International Patent Class (Additional): H01L-027/12; H01L-029/786;  
H01L-031/0392

File Segment: EPI; EngPI

Patent Abstracts of Japan

PUBLICATION NUMBER : 07209672  
PUBLICATION DATE : 11-08-95

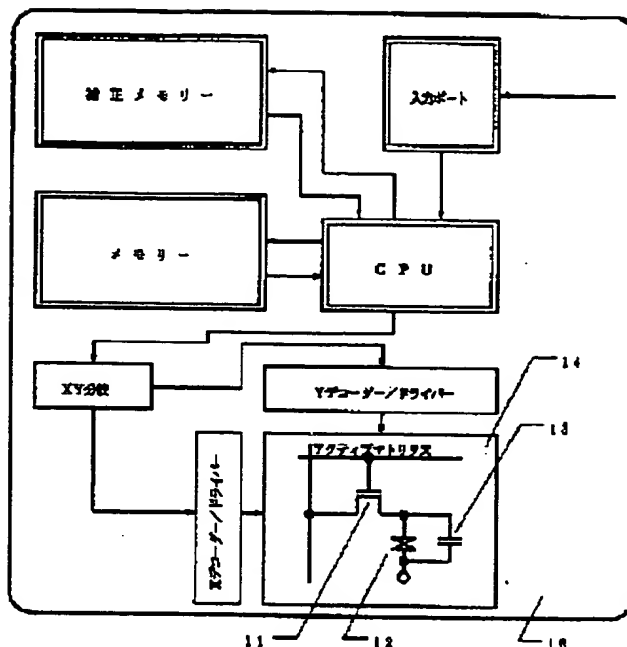
APPLICATION DATE : 02-12-94  
APPLICATION NUMBER : 06329652

APPLICANT : SEMICONDUCTOR ENERGY LAB CO LTD;

INVENTOR : TAKEMURA YASUHIKO;

INT.CL. : G02F 1/136 H01L 29/786

TITLE : ELECTRONIC DEVICE WITH LIGHT NONEMISSION TYPE DISPLAY



ABSTRACT : PURPOSE: To reduce the size, thickness, and weight of an electronic device which has a liquid crystal display(LCD) device, having an active matrix circuit, as a display device.

CONSTITUTION: On one substrate 15, the active matrix circuit 14 and its driver circuit, etc., are formed by using thin film transistors(TFT) 11. Then other circuits (CPU, memory, etc.) which are required to drive the electronic device are formed of a single-crystal semiconductor integrated circuit chip and after the chip is fixed to the substrate, they are connected to wires on the substrate 15 by a COG method, a wire bonding method, etc. Consequently, the electronic device which has the LCD is completed on the one substrate 15.

COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-209672

(43) 公開日 平成7年(1995)8月11日

(51) Int. Cl.<sup>5</sup>

G 0 2 F 1/136

H 0 1 L 29/786

識別記号

5 0 0

庁内整理番号

9056-4M

F I

技術表示箇所

H 0 1 L 29/78

3 1 1 A

審査請求 未請求 請求項の数10 F D (全 14 頁)

(21) 出願番号 特願平6-329652

(22) 出願日 平成6年(1994)12月2日

(31) 優先権主張番号 特願平5-339588

(32) 優先日 平5(1993)12月3日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 竹村 保彦

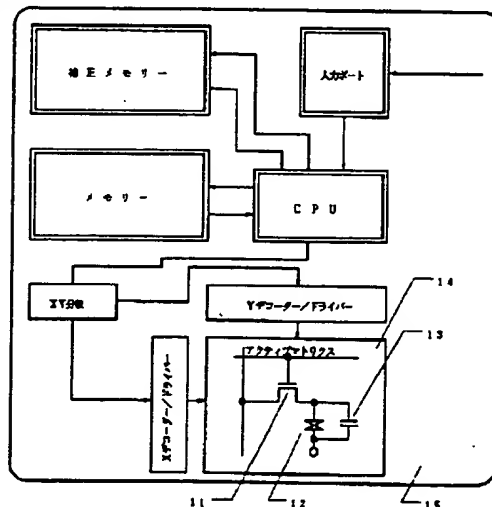
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54) 【発明の名称】 非発光型ディスプレイを有する電子装置

(57) 【要約】

【目的】 アクティブマトリクス回路を有する液晶ディスプレイ (LCD) 装置を表示装置として有する電子装置の小型化、薄型化、軽量化を図る。

【構成】 1枚の基板上に薄膜トランジスタ (TFT) を形成し、アクティブマトリクス回路およびそのドライバ回路等を形成する。そして、電子装置を駆動するのに必要な他の回路 (CPU、メモリー等) は、単結晶半導体電機回路チップによって形成し、該チップを基板に固定した後、COG法、ワイヤボンディング法等によって、基板1の配線と接続する。この結果、1枚の基板上に、LCDを有する電子装置を完成することができる。



## 【特許請求の範囲】

【請求項1】 2枚の基板からなる電子装置で、該基板は互いに対向して配置され、両基板には電極が設けられ、第1の基板にはアクティブマトリクス回路と、少なくともXデコーダー／ドライバー、Yデコーダー／ドライバーとが、薄膜トランジスタを用いて形成されており、かつ、第1の基板上には半導体集積回路チップが固定されていることを特徴とする非発光型ディスプレイを有する電子装置。

【請求項2】 2枚の基板からなる電子装置で、該基板は互いに対向して配置され、両基板には電極が設けられ、第1の基板にはアクティブマトリクス回路と、該アクティブマトリクス回路を駆動する回路が形成されており、かつ、第1の基板上には半導体集積回路チップが固定されていることを特徴とする非発光型ディスプレイを有する電子装置。

【請求項3】 2枚の基板からなる電子装置で、該基板は互いに対向して配置され、両基板には電極が設けられ、第1の基板にはアクティブマトリクス回路と、該アクティブマトリクス回路を構成する薄膜トランジスタとゲイト電極材料、ゲイト絶縁膜材料、チャネル形成領域の構成材料の少なくとも1つが同一材料からなる構造を有する薄膜トランジスタを用いて構成された回路（周辺回路）を有し、かつ、第1の基板上には半導体集積回路チップが固定されていることを特徴とする非発光型ディスプレイを有する電子装置。

【請求項4】 請求項1または2または3において、前記デコーダー／ドライバーもしくは前記アクティブマトリクス回路を駆動する回路もしくは周辺回路は、相補型回路であることを特徴とする非発光型ディスプレイを有する電子装置。

【請求項5】 請求項1または2または3において、前記デコーダー／ドライバーもしくは前記アクティブマトリクス回路を駆動する回路もしくは周辺回路は、Nチャネル型薄膜トランジスタを用いないで構成されていることを特徴とする非発光型ディスプレイを有する電子装置。

【請求項6】 請求項1または2または3において、前記デコーダー／ドライバーもしくは前記アクティブマトリクス回路を駆動する回路もしくは周辺回路は、Pチャネル型薄膜トランジスタを用いないで構成されていることを特徴とする非発光型ディスプレイを有する電子装置。

【請求項7】 請求項1または2または3において、前記半導体集積回路チップは、ワイヤボンディング法によって、第1の基板上の回路と接続されていることを特徴とする非発光型ディスプレイを有する電子装置。

【請求項8】 請求項1または2または3において、前記半導体集積回路チップは、COG法によって、第1の基板上の回路と接続されていることを特徴とする非発光

型ディスプレイを有する電子装置。

【請求項9】 請求項1または2または3において、前記半導体集積回路チップは、メモリーチップであることを特徴とする非発光型ディスプレイを有する電子装置。

【請求項10】 請求項1または2または3において、前記半導体集積回路チップは、演算回路チップであることを特徴とする非発光型ディスプレイを有する電子装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、基板上に薄膜トランジスタ（以下、TFTという）を用いてアクティブマトリクス回路を構成した液晶ディスプレイ等の非発光型ディスプレイを有する電子装置に関する。特に本発明におけるアクティブマトリクス回路は、同じく同一基板上に形成されたTFTを用いた駆動回路（周辺回路）によって制御されることを特徴とする電子装置に関する。

【0002】

【従来の技術】 近年、液晶ディスプレイが薄型・軽量であることを利用して、携帯型の各種電子装置（例えば、パーソナルコンピュータ、ワードプロセッサ、電子手帳）の表示装置として用いられるようになった。液晶ディスプレイの中でも、TFTを用いて、画素を1つ1つ制御する、いわゆるアクティブマトリクス型の液晶ディスプレイは表示特性に優れ、より多くの電子装置に用いられつつある。

【0003】

【発明が解決しようとする課題】 アクティブマトリクス型の液晶ディスプレイにはいくつか種類がある。第1のものは、TFTでアクティブマトリクス回路のみを形成し、それを駆動するための回路を外付けの単結晶半導体集積回路チップによって構成する形式のものである。この場合には、ガラス基板の周囲に半導体チップや半導体パッケージをTAB法等の手段で接続する必要があり、装置は比較的大きくなった。また、アクティブマトリクス回路から延びている配線は、開口率を向上させるために細くなり、また、その配線の総数は1000本を越えるため、それらの接続において、技術的な問題があった。

【0004】 また、この接続部分にかなりの面積が必要とされ、ガラス基板上の配線と外付けのチップの配線やTAB法の場合のテープとの熱膨張率のずれにより、合わせ精度がせいぜい60μmであり、画素ピッチがそれ以下の高精細ディスプレイには適用できなかった。そして、このことが装置の小型化の障害となった。この種のものでは、TFTとして、それほど高い特性が得られない代わりに、低温でも作製できるアモルファスシリコンを用いたTFTが使用されている。

【0005】 第2のものは、アクティブマトリクス回路ばかりでなく、その駆動のためのXデコーダー／ドライ

パー、Yデコーダー／ドライバー等の回路までも同一基板上に形成されたTFTを用いた薄膜集積回路によって構成するものである。この種のものでは、上述のような外付けの半導体チップを用いないので、装置は比較的小さくなった。また、多数の配線を接続する必要もないので、その面でも装置の小型化に有利であった。この種のは、駆動回路（ドライバー回路）に、より特性の優れた結晶性シリコンのTFTが用いられる必要があった。

【0006】このように装置の小型化を推進するには第2の方法が有利であった。しかしながら、さらなる小型化、軽量化、薄型化を推進するには、まだ、不十分であった。すなわち、パーソナルコンピュータを例にとれば、ディスプレイ以外にも、中央演算処理回路（CPU）、メインメモリー、画像信号処理装置、画像メモリー等のさまざまな半導体チップが、液晶ディスプレイ以外の主基板（メインボード）上に形成され、液晶ディスプレイとメインボードという少なくとも2枚の基板が必要である。より装置を小型、薄型、軽量のものとするには、この2枚必要な基板を1枚に削減することが必要である。本発明はこのような困難な課題に対して解答を与えんとするものである。

【0007】

【問題を解決する方法】本発明は、一対の基板間に液晶を挟持した構成を有する液晶ディスプレイの少なくとも一方の基板上に、上述のようなメインボードに取り付けられている半導体チップを固定することによって、小型化、軽量化、薄型化をおこなう。特に、アクティブマトリクス回路を有する基板にこれらのチップを取り付ける。また、アクティブマトリクス回路を駆動する回路もTFTによって形成される。本発明の概念図を図1に示す。基板15は液晶ディスプレイの基板でもあり、その上にはTFT（11）、画素電極12、補助容量13を具備する画素が多数形成されたアクティブマトリクス回路14と、それを駆動するためのXデコーダー／ドライバー、Yデコーダー／ドライバー、XY分岐回路がTFTによって形成されている。

【0008】もちろん、このようなアクティブマトリクス回路を駆動するための回路（周辺回路ともいう）は、アクティブマトリクス回路と実質的に同一の構造を有するTFTによって構成されてもよい。この場合、同一の構造を有するとは、ゲート電極材料、ゲート絶縁膜材料、チャネル形成領域材料の少なくとも1つがアクティブマトリクス回路のTFTのそれらと同一のものである、という意味である。また、このような周辺回路は相補型の回路で構成されてもよいし、Nチャネル型TFTのみで（すなわち、Pチャネル型TFTを用いないで）構成されてもよいし、Pチャネル型TFTのみで構成されてもよい。このようにしてTFTを用いた回路が構成される。

【0009】しかしながら、本発明では基板15上に、さらに他のチップを取り付ける（COG、チップ・オン・ガラス）。チップはワイヤボンディング法、FCOG（フリップ・チップ・オン・ガラス）法等の手段によって、基板15上の回路に接続される。図1において、補正メモリー、メモリー、CPU、入力ポートは、このようにして取り付けられたチップであり、この他にも様々なチップを取り付けてもよい。

【0010】ワイヤボンディング法を採用する場合は、図2に示される断面形状となる。すなわち、回路21が形成されたガラス基板20上にチップ22が端子部を上向きにしてマウントされ、回路の端子電極21とチップの端子部23とを金属のボンディングワイヤ24によって接続する。そして、この部分を樹脂25によって封止することによって、外的衝撃から接続部を守る。端子接触性・密着性を安定に保つために、端子21の表面はアルミニウム等の金属であることが好ましい。

【0011】ワイヤボンディング法の場合には、このように端子接続部で樹脂が大きく盛り上がるため、厚くなるという欠点がある。一方、FCOG法は図4に示されるように、回路41が形成されたガラス基板40上にチップ42が端子部を下向きにしてマウントされ、回路の端子電極41とチップの端子部43とをバンプ44（図4（A））あるいは金属粒子46（図4（B））によって接続する。そして、この部分を樹脂45によって封止することによって、基板40上にチップを固定する。

【0012】FCOG法の場合には端子接続部の厚さは実質的にチップの厚さであるので、薄型化が可能である。また、FCOG法では、ガラス基板側の端子はアルミニウム以外の材料を採用することも可能で、例えば、透明導電性酸化物被膜（ITO等）も採用することができる。一般に、ガラス基板上に液晶ディスプレイ用のアクティブマトリクス回路を形成する場合には、最上層の配線は透明導電性被膜を用いて構成されることが多いので、FCOG法はこの点で特に好ましい。

【0013】図1において、入力ポートとは、外部から入力された信号を読み取り、画像用信号に変換する回路である。補正メモリーは、アクティブマトリクスパネルの特性に合わせて入力信号等を補正するためのパネルに固有のメモリーのことである。特に、この補正メモリーは、各画素固有の情報を不揮発性メモリーとして有し、個別に補正するためのものである。すなわち、電気光学装置の画素に点欠陥のある場合には、その点の周囲の画素にそれに合わせて補正した信号を送り、点欠陥をカバーし、欠陥を目立たなくする。

【0014】または、画素が周囲の画素に比べて暗い場合には、その画素により大きな信号を送って、周囲の画素と同じ明るさとなるようにするものである。画素の欠陥情報はパネルごとに異なるので、補正メモリーに蓄積されている情報はパネルごとに異なる。CPUとメモリ

一は通常のコンピュータのものとその機能は同様で、特にメモリーは各画面に対応した画像メモリーをRAMとして持っている。

【0015】

【実施例】

【実施例1】 本発明の構成の例を図3に示す。基板30に対向して基板29が設けられ、その間には液晶が挟持されている。また、基板30には、アクティブマトリクス回路31と、それを駆動するための周辺駆動回路32、33、34がTFTを用いて構成されている。そして、これらの回路の形成された面に、メインメモリーチップ36、MPU（マイクロ演算回路）37、補正メモリー38を接合し、各チップを基板30上の回路と接続した。

【0016】例えば、FCOG法によってチップを接続する場合には、基板30上には、図3の39（図4の41に相当）に示すようなITO（インディウム錫酸化物）の配線端子部（配線接続パッド）が、固定部分35に形成された。具体的な接点の形状としては、図4（A）もしくは（B）に示されるものを用いた。図4（A）の方法では、基板40上の配線41とチップ42の電極部43に設けられた導電性の突起物（バンプ）44とを接触させ、基板40とチップ42間を有機樹脂45で固定した。バンプとしては、無電界メッキによって形成した金を用いればよい。

【0017】図4（B）の方法では、基板40とチップ42の間に導電性の粒子（例えば、金の粒子）46を分散させた有機樹脂によって基板とチップを接合し、基板40上の配線41とチップ42の電極部43の間に存在した導電性粒子46との接触によって、回路の接続をおこなった。接合に使用した有機樹脂としては、光硬化性もしくは熱硬化性のもの、あるいは自然硬化性のものを用いた。なお、液晶ディスプレイへの液晶の注入は、チップを接合してからでもよい。このような工程を経て、液晶ディスプレイ基板にCPU、メモリーまでもが形成され、1枚の基板で簡単なパーソナルコンピュータのような装置を構成することができた。

【0018】（実施例2） 実施例1と同じく図3に示された装置を作製した。基板30には、アクティブマトリクス回路31と、それを駆動するための周辺駆動回路32、33、34がTFTを用いて構成されている。そして、これらの回路の形成された面に、メインメモリーチップ36、MPU（マイクロ演算回路）37、補正メモリー38を接合し、図2に示されるワイヤボンディング法によって各チップを基板40上のアルミニウム合金薄膜の回路端子（配線接続パッド）39（図2の21に相当）と接続した。ボンディングワイヤは金の細線を用いた。

【0019】（実施例3） 本実施例は、TFT回路（モノリシック型アクティブマトリクス）基板にFCO 50

G法によって、チップを接合して、より高度な回路を構成する例に関する。以下、本実施例のモノリシック型アクティブマトリクス回路を得る作製工程について、図5を用いて説明する。まず、基板（コーニング7059）501上に下地酸化膜502として厚さ1000～3000Åの酸化珪素膜を形成した。この酸化膜の形成方法としては、酸素雰囲気中でのスパッタ法やプラズマCVD法を用いればよい。

【0020】その後、プラズマCVD法やLPCVD法によってアモルファス状もしくは結晶性のシリコン膜を300～1500Å、好ましくは500～1000Å形成した。結晶性シリコン膜を得るには、アモルファスシリコン膜を形成した後、レーザーもしくはそれと同等な強光を照射する（光アニール）か、500℃以上の温度で長時間の熱アニールをおこなえばよい。熱アニールによって結晶化させたのち、光アニールをおこなって、さらに結晶性を高めてもよい。また、熱アニールによる結晶化の際に、特開平6-244103、同6-244104に記述されているように、ニッケル等のシリコンの結晶化を促進させる元素（触媒元素）を添加してもよい。

【0021】次にシリコン膜をエッチングして、周辺駆動回路のTFT活性層503、504とマトリクス回路のTFT活性層504を形成した。さらに、酸素雰囲気中でのスパッタ法によって、厚さ500～2000Åの酸化珪素のゲイト絶縁膜506を形成した。ゲイト絶縁膜の形成方法としては、プラズマCVD法を用いてもよい。

【0022】本発明においてはゲイト絶縁膜は耐圧が十分に高いことが好ましい。これは後の陽極酸化工程の際に、ゲイト電極とシリコン活性層の間に高い電界が印加されるためである。したがって、プラズマCVD法によって得られる酸化珪素膜によってゲイト絶縁膜を形成する場合には、原料ガスとして、一酸化窒素（ $\text{N}_2\text{O}$ ）もしくは酸素（ $\text{O}_2$ ）とモンシラン（ $\text{SiH}_4$ ）を用いることが好ましかった。（図5（A））

【0023】その後、厚さ2000Å～5μm、好ましくは2000～6000Åのアルミニウム膜（0.1～0.5重量%のスカンジウムを含有する）をスパッタ法によって基板全面に形成した。そして、これをエッチングして、ゲイト電極もしくはゲイト線507、508、509、510を形成した。ゲイト線509は全て陽極酸化用の配線（図示せず）につながるよう設計した。一方、周辺論理回路のゲイト電極507、508は陽極酸化用の配線とは電気的に絶縁されるようにした。（図5（B））

【0024】その後、基板を電解溶液中に置き、陽極酸化用配線に電流を通じてゲイト線509およびゲイト電極510の陽極酸化をおこなった。陽極酸化の条件は特開平5-267667に示される条件を使用した。この

結果、陽極酸化用の配線につながるゲイト線509やゲイト電極510の上面および側面に陽極酸化物被膜511、512が得られた。陽極酸化物の厚さは印加する電圧に依存するが、本実施例では2000Åとした。このようにほぼ中性の溶液での陽極酸化によって得られる陽極酸化物は緻密で硬く、耐圧も高い。耐圧は陽極酸化時に印加した最高電圧の70%以上である。このような陽極酸化物はバリア型陽極酸化物と呼ばれる。(図5(C))

【0025】その後、イオンドーピング法によって、各TFTの島状シリコン膜中に、ゲイト電極部(すなわちゲイト電極やその周囲の陽極酸化膜)をマスクとして自己整合的に不純物を注入した。この際には、最初に全面にフォスフィン( $\text{PH}_3$ )をドーピングガスとして燐を注入し、その後、図の島状領域503だけをフォトレジストで覆って、ジボラン( $\text{B}_2\text{H}_6$ )をドーピングガスとして、島状領域504および505に硼素を注入した。ドーピング量は、燐は $4 \times 10^{11} \sim 4 \times 10^{15}$ 原子/ $\text{cm}^2$ 、硼素は $1 \sim 8 \times 10^{15}$ 原子/ $\text{cm}^2$ とし、燐素のドーピング量が燐を上回るように設定した。この結果、N型領域513、P型領域514、515が形成された。

(図5(D))

【0026】その後、KrFエキシマレーザー(波長248nm、パルス幅20nsec)を照射して、上記不純物領域の導入によって、結晶性の劣化した部分の結晶性を改善させた。レーザーのエネルギー密度は200~400mJ/ $\text{cm}^2$ 、好ましくは250~300mJ/ $\text{cm}^2$ とした。この結果、N型およびP型領域が活性化された。これらの領域のシート抵抗は200~800Ω/□であった。この工程は、ゲイト電極の耐熱性の範囲で熱アニールによっておこなってもよい。

【0027】その後、全面に層間絶縁物516として、プラズマCVD法によって酸化珪素膜を厚さ3000~6000Å形成した。これは、窒化珪素膜あるいは酸化珪素膜と窒化珪素膜の多層膜であってもよい。そして、層間絶縁物516をウェットエッチング法によってエッチングして、N型領域、P型領域にコンタクトホール517、518、519を形成した。また、同時にゲイト電極・ゲイト線にホール520を形成した。ただし、この段階では陽極酸化物511がバリアとなっており、エッチングが中断し、ゲイト線には到達していない。(図5(E))

【0028】その後、再度、フォトリソ法により、先の工程によって形成したホール520の中にコンタクトホールのパターンを形成し、クロム酸を含有するエッチャント(例えば、1~5%のクロム酸と燐酸、硝酸、酢酸の混合液)により、エッチングをおこない、コンタクトホール521を形成した。(図5(F))その後、スパッタ法によって、厚さ2000~6000Åのチタン膜を形成し、これをエッチングして、周辺回路の電極・配

線522、523、524およびアクティブマトリクス回路のデータ線525、画素TFTの電極526を形成した。配線523はゲイト線509と接続するようにした。

【0029】さらに、スパッタ法で成膜した厚さ500~1500ÅのITO(インディウム錫酸化物)膜をエッチングして、画素電極527を形成した。最後に、プラズマCVD法によって、厚さ1000~3000Åの窒化珪素膜528をパッシベーション膜として形成した。このようにして、周辺回路とアクティブマトリクス回路を一体化して形成できた。(図5(G))このように加工した基板のうち、外部のICチップと接続する端子部(図4の41に相当)の窒化珪素膜をエッチングして、端子接続部のITO配線・パッドを露出させた。そして、図4に示されるようにFCOG法によってICチップを接合した。

【0030】〔実施例4〕本実施例も液晶ディスプレイ用のモノリシック型アクティブマトリクス回路を形成したTFT回路基板にFCOG法によってICチップを接着する方法に関するものである。本実施例の作製工程を図6に示す。本実施例の周辺回路はCMOS回路を採用したが、簡単のため、図6においては周辺回路TFTとしてはNTFTのみを示す。図6においては、左側が周辺回路回路を、右側がマトリクス回路を代表して示す。

【0031】ガラス基板601にプラズマCVD法によって厚さ2000Åの地下酸化珪素膜602を成膜した。プラズマCVD法の原料ガスとしてはモノシラン( $\text{SiH}_4$ )と一酸化二窒素( $\text{N}_2\text{O}$ )を用い、成膜時の基板温度は380~500℃、例えば、430℃とした。このようにして成膜した酸化珪素膜602は比較的にエッチングレートが低く、固い膜であった。これは原料ガスに一酸化二窒素を用いたため、膜中に窒素が1~10%含有される酸化窒化珪素膜となったためである。典型的なエッチングレートは、フッ化水素酸とフッ化アンモニウムと酢酸の比率が1:50:50である酢酸緩衝フッ酸(ABHF)による23℃でのエッチングレートが800~1100Å/分であった。

【0032】その後、プラズマCVD法によって厚さ500Åのアモルファスシリコン膜を成膜した。さらに、酸化雰囲気において550℃で1時間熱アニールすることにより、アモルファスシリコン膜の表面に極めて薄い(40~100Åと推定される)酸化珪素膜を形成した。そして、スピンコーティング法によって酢酸ニッケルの極めて薄い膜を形成した。ここでは、1~100ppmの酢酸ニッケル水溶液を用いた。先にアモルファスシリコン膜表面に薄い酸化珪素膜を形成したのは、水溶液がアモルファスシリコン表面に均一にゆきわたるようにするためである。

【0033】次に、窒素雰囲気中、550℃、4時間の

熱アニールをおこなった。酢酸ニッケルは400℃程度で分解してニッケルとなるが、酢酸ニッケル薄膜がアモルファスシリコン膜に実質的に密着しているため、ニッケルがこの熱アニール工程によってアモルファスシリコンに侵入して、これを結晶化せしめ、結晶性シリコン領域となった。その後、シリコン膜にXeClエキシマーレーザー光（波長308nm）を照射した。本実施例では、レーザーのエネルギー密度は250~300mJ/cm<sup>2</sup>とした。この結果、結晶性シリコンの結晶性はさらに向上した。

【0034】さらに、レーザー照射による応力歪みを緩和するために、再び、熱アニールをおこなった。本実施例では、550℃、4時間の熱アニールとした。その後、シリコン膜をエッチングして島状の活性層603、604を形成した。そして、スパッタ法によって、厚さ1200Åの酸化珪素膜605をゲイト絶縁膜として形成した。

【0035】さらに、スパッタ法によって厚さ4000Åのアルミニウム膜（0.2~0.3重量%のスキャンジウムを含有する）を形成した。そして、その表面を陽極酸化することにより、厚さ100~300Åの酸化アルミニウム膜（図示せず）を形成した。酸化アルミニウム膜の存在により、フォトレジストとの密着性が良く、また、フォトレジストからの電流のリークを抑制することにより、後の陽極酸化工程において、多孔質陽極酸化物を側面のみに形成するうえで有効であった。

【0036】そして、フォトレジスト（例えば、東京応化製、OFPR800/30cp）をスピンコート法によって形成した。これをバナーニング、エッチングして、ゲイト電極609、611、ゲイト線610を形成した。周辺回路のゲイト電極609とゲイト線610およびマトリクス回路のゲイト電極611とは電気的に絶縁させた。エッチングに用いたフォトレジストのマスク606、607、608はそのまま残した。（図6（A））

【0037】次に、フォトレジストのマスクを付けたままゲイト線610（すなわち、ゲイト電極611）に電流を通じ、多孔質陽極酸化をおこない、ゲイト線、ゲイト電極の側面に多孔質陽極酸化物612、613を形成した。陽極酸化は、3~20%のクエン酸もしくはシュウ酸、燐酸、クロム酸、硫酸等の酸性水溶液を用いておこない、10~30Vの一定電圧をゲイト電極に印加すればよい。本実施例ではpH=0.9~1.0のシュウ酸溶液（30℃）中で電圧を10Vとし、20~80分、陽極酸化した。陽極酸化物の厚さは陽極酸化時間によって制御した。

【0038】このような酸性溶液において陽極酸化をおこなうと多孔質の陽極酸化物が生成する。本実施例では多孔質陽極酸化物の厚さは3000~10000Å、例えば、5000Åとした。（図6（B））さらに、今度

はフォトレジストのマスクを剥離して、実施例3と同様にゲイト線610に電流を流し、バリヤ型陽極酸化をおこない、ゲイト線、ゲイト電極の側面と上面に緻密なバリヤ型陽極酸化物被膜614、615を厚さ1200Å形成した。（図6（C））

【0039】次に、多孔質陽極酸化物612、613をマスクとしてドライエッチング法によって酸化珪素膜605をエッチングし、ゲイト絶縁膜617、618を形成した。このエッチングにおいては、等方性エッチングのプラズマモードでも、あるいは異方性エッチングの反応性イオンエッチングモードでもよい。ただし、シリコンと酸化珪素の選択比を十分に大きくすることによって、活性層を過剰にエッチングしないようにすることが重要である。例えば、エッチングガスとしてCF<sub>4</sub>を使用すれば陽極酸化物はエッチングされず、酸化珪素膜605のみがエッチングされる。また、多孔質陽極酸化物612、613の下に酸化珪素膜617、618はエッチングされずに残った。（図6（D））

【0040】さらに、燐酸、酢酸、硝酸の混合溶液（アルミ混酸）を用いて多孔質陽極酸化物のみをエッチングした。アルミ混酸は多孔質陽極酸化物はエッチングするが、バリヤ型陽極酸化物被膜614、615はほとんどエッチングしない。ただし、アルミニウムをエッチングするので、周辺回路部のゲイト電極を保護するために、周辺回路部にはフォトレジストでマスクした。このため、実施例3の場合に比較するとフォトリソ工程が1つ追加される。

【0041】そして、このゲイト絶縁膜を用いてイオンドーピング法によって活性層に不純物（燐と硼素、図ではNMOSのみが示されているが、実際には硼素のドーピングもおこなわれた）を導入した。燐のドーピングを例に取ると、まず、10~30keVの比較的低い加速電圧で $5 \times 10^{14} \sim 5 \times 10^{15}$ 原子/cm<sup>2</sup>の比較的高いドーズ量で燐イオンを注入した。この際には、加速電圧が低いため、イオンの侵入深さが浅く、シリコンが露出している領域619、620を中心として燐が注入された。

【0042】次に、60~95keVの比較的高い加速電圧で $1 \times 10^{12} \sim 1 \times 10^{14}$ 原子/cm<sup>2</sup>の比較的低いドーズ量で燐イオンを注入した。この際には、加速電圧が高いため、イオンが深くまで侵入し、ゲイト絶縁膜で覆われている領域621にも燐が注入された。この結果、高濃度の燐がドーピングされた領域619、620と低濃度の燐がドーピングされた領域621が形成された。すなわち、画素TFTに関しては、いわゆる2重ドレイン構造とすることができた。硼素についても同様におこなえばよい。その後、450℃、1時間の熱アニールをおこなって、ドーピングされた不純物の活性化をおこなった。本実施例では結晶化促進元素としてニッケルが混入されているため、通常よりも低温で活性化するこ



とができた。(図6(E))

【0043】その後、第1の層間絶縁物として、プラズマCVD法によって厚さ200Åの酸化珪素膜と厚さ4000Åの窒化珪素膜の多層膜622を堆積し、これをドライエッチング法によってエッチングして、コンタクトホール623、624、625、626、627を形成した。(図6(F))そして、スパッタ法によって、チタン500Å/アルミニウム4000Å/チタン500Åの3層金属膜を堆積し、これをエッチングして、電極・配線628、629、630、631を形成した。

【0044】さらに、第2の層間絶縁物として、プラズマCVD法によって厚さ2000Åの酸化珪素膜632を堆積し、画素TFTのドレイン側電極631にコンタクトホールを形成して、ITOによる画素電極633を形成した。このようにして、モノリシック型アクティブマトリクス回路を形成することができた。(図6(G))このように加工した基板において、外部のICチップと接続する端子部(図4の41に相当)のITO配線・パッド上にICチップをマウントし、図4に示されるようにFCOG法によってICチップを接着した。

【0045】【実施例5】本実施例は、TFT回路(モノリシック型アクティブマトリクス)基板にワイヤボンディング法によって、チップを接着して、より高度な回路を構成する例に関する。図7に本実施例で用いたアクティブマトリクス回路の作製工程を示す。図の左側が周辺論理回路領域、右側がアクティブマトリクス回路領域である。まず、ガラス基板(図示せず)上に、スパッタ法によって下地酸化膜701を厚さ2000Å堆積した。さらに、その上にスパッタ法によって厚さ500ÅのITO(インディウム錫酸化物)膜を形成し、これをエッチングして、周辺論理回路領域の配線702、703、704、アクティブマトリクス回路領域の配線705、および画素電極706を形成した。

【0046】その後、モノシランもしくはジシランを原料とするプラズマCVD法もしくは減圧CVD法によって、アモルファスシリコン膜を厚さ500~1500Å堆積した。このときには、アモルファスシリコン膜中の酸素濃度は $10^{18}$ 原子/cm<sup>3</sup>以下が好ましかった。そして、イオンドーピング法によって燐および珪素をドーピングした。ドーピングは公知のCMOS作製の手法と同様におこなった。すなわち、最初に全面に燐をドーピングし、その後、Nチャネル型TFTを形成する領域をフォトレジストのマスクで被覆し、Pチャネル型TFTを形成する領域に珪素をドーピングした。

【0047】本実施例では、燐のドーピングの際のドーピングガスとしてはフォスフィン(PH<sub>3</sub>)を、また、珪素のドーピングの際のドーピングガスとしてはジボラン(B<sub>2</sub>H<sub>6</sub>)を、それぞれ用いた。加速電圧は、燐、珪素とも5~30kVが適当であった。ドーズ量は $1 \times 10^{14} \sim 5 \times 10^{15}$ 原子/cm<sup>2</sup>、例えば、燐は $2 \times 1$

$0^{14}$ 原子/cm<sup>2</sup>、珪素は $5 \times 10^{14}$ 原子/cm<sup>2</sup>とした。

【0048】その後、TFTのチャネル形成領域となる部分(ソース/ドレインの間の部分)をエッチングして、N型半導体領域707、708、711、712とP型半導体領域709、710を形成した。そして、その上に厚さ100~500Å、例えば、200Åの実質的に真性な水素化アモルファスシリコン膜713をプラズマCVD法によって形成した。

【0049】さらに、図7(A)に示すように、非密着性のマスク714を用いて、KrFエキシマーレーザー光(波長248nm、パルス幅20nsec)を照射して、シリコン膜のうち、周辺論理回路領域(図の左側)のみ結晶化させた。レーザーのエネルギー密度は200~400mJ/cm<sup>2</sup>、好ましくは250~300mJ/cm<sup>2</sup>とした。マスクで覆われた領域(アクティブマトリクス回路領域を含む)にはレーザー光が到達しないので、アモルファスシリコンのままであった。また、レーザーの照射された領域では真性のシリコン膜713のみではなく、N型、P型の領域707~710も結晶化された。(図7(A))

【0050】その後、これらのシリコン膜(N型およびP型半導体領域と真性のシリコン膜)を島状にエッチングし、周辺回路の島状領域721、722、723を形成した。同時に周辺論理回路のNチャネル型TFTのソース715、ドレイン716、周辺論理回路のPチャネル型TFTのソース718、ドレイン717、アクティブマトリクス回路のNチャネル型TFTのソース719、ドレイン720も形成された。(図7(B))

【0051】そして、一酸化二窒素(N<sub>2</sub>O)と酸素(O<sub>2</sub>)を原料とするプラズマCVD法によって厚さ1200Åの酸化珪素膜724を全面に堆積した。これはゲイト絶縁膜あるいは保持容量の誘電体として機能する。そのため、十分に低い界面準位密度や高い耐圧が要求される。本実施例では、モノシラン10SCCM、一酸化二窒素100SCCMで反応室に導入し、基板温度430℃、反応圧力0.3Torr、投入電力(13.56MHz)250Wとした。これらの条件は使用する反応装置によって変動する。

【0052】上記の条件で作製した酸化珪素膜の成膜速度は約1000Å/分であり、フッ酸1、酢酸50、フッ化アンモニウム50の混合溶液(20℃)におけるエッチング速度は約1000Å/分であった。さらに、スパッタ法によって厚さ2000~8000Å、例えば、3000Åのチタン膜を堆積し、これをエッチングしてゲイト電極725、726、727および保持容量の電極728を形成した。

【0053】最後にプラズマCVD法によって、厚さ3000Åの窒化珪素膜729をパッシベーション膜として形成した。以上の工程により、周辺論理回路の結晶性シ

リコンのNチャネル型およびPチャネル型TFT（周辺p-Si N-ch TFTおよび周辺p-Si P-ch TFT）とアクティブマトリクス回路のNチャネル型アモルファスシリコンTFT（画素a-Si N-ch TFT）、さらには保持容量を形成できた。（図7（C））

【0054】TFTの構造は周辺論理回路とアクティブマトリクス回路で異ならせてもよい。例えば、図7（D）のように、アクティブマトリクス回路のTFTのゲート電極をドレインから距離 $x$ だけ離れたオフセット構造とすると、よりオフ電流を低減できる。（図7（D））周辺論理回路のように高速動作をおこなうには、チャネル形成領域を構成する半導体が結晶性であるとともに、ソース/ドレインも結晶性でそのシート抵抗が低いことが必要である。本実施例では、周辺論理回路の作製において、レーザー照射をおこなうが、その際にはチャネル形成領域のみでなく、ソース/ドレインに相当する部分まで結晶化されるので、上記の問題はない。ソース/ドレインの結晶性をより向上させるにはシリコン膜中にニッケル、白金、パラジウム、コバルト、鉄等のアモルファスシリコンの結晶化を助長する触媒元素を $1 \times 10^{17} \sim 2 \times 10^{19}$ 原子/cm<sup>3</sup>添加するとよい。

【0055】このように加工した基板において外部のICチップと接続する端子部（図2の21に相当）の窒化珪素膜729をエッチングして、端子接続部のチタン配線・パッドを露出させた。そして、図2に示されるようにワイヤボンディング法によってICチップと接続した。

【0056】〔実施例6〕 本実施例は、TFT回路（モノリシック型アクティブマトリクス）基板にFCOG法によって、チップを接着して、より高度な回路を構成する例に関する。図8、図9および図10に本実施例で用いたアクティブマトリクス基板の作製方法を示す。

【0057】図8はアクティブマトリクス回路部分の、また、図9は周辺回路部分の典型的な部分の断面図であり、図8と図9における工程順を示す（A）、（B）、

（C）、... はそれぞれ対応し、また、図8、図9および図10における符号番号が同じ場合は同じものを指し示す。図10（A）は完成したマトリクス回路を上方より見た様子を示し、図8は図10（A）のA-B-Cの断面を示したものである。また、図10（B）は、図10（A）のa-bの断面を示す。図10（C）は本実施例で作製するアクティブマトリクス回路の回路図を示す。以下に図8および図9を用いて、本実施例の作製工程を説明する。

【0058】まず、厚さ1000Åの窒化珪素膜（図示せず）を形成したガラス基板の絶縁表面801上に第1のゲート配線・電極802、803、804、805を形成した。ゲート配線・電極は、厚さ3000Åの燐をドーピングして抵抗を低減せしめた多結晶シリコン膜を

エッチングすることによって形成した。多結晶シリコン膜は減圧CVD法によって形成した。この場合には成膜した状態で多結晶状態であった。

【0059】多結晶シリコン膜を得るには、上記の方法以外に、プラズマCVD法、減圧CVD法によって真性の非晶質シリコン膜を形成し、これにイオンドーピング法等の手段によって燐等の不純物を導入せしめ、さらに、これを500～600℃で熱アニールしてもよい。また、熱アニールの際にはニッケル等の結晶化を促進せしめる元素を微量添加してもよい。

【0060】本実施例ではシリコンを用いたが、他に各種金属のシリサイドを用いてもよかった。その後、プラズマCVD法によって厚さ3000～6000Å、例えば、4000Åの窒化珪素膜806を堆積した。これはゲート絶縁膜としても機能する。そして、厚さ300～1000Å、例えば、500Åの非晶質シリコン膜をプラズマCVD法によって形成した。そして、これをエッチングして、島状の領域807、808、809を形成した。（図8（A）、図9（A））

【0061】さらに、プラズマCVD法によって厚さ3000～6000Å、例えば、2000Åの窒化珪素膜810を堆積した。これはゲート絶縁膜としても機能する。この状態で、周辺回路の部分のみにレーザー光を照射して、島状のシリコン膜を結晶化させた。レーザーはXeClエキシマーレーザー（波長308nm）を用いた。レーザーの照射エネルギー密度、パルス数はシリコン膜の膜質、窒化珪素膜810の膜質によって加減した。

【0062】その後、図には示していないが、窒化珪素膜810と806をエッチングして第1のゲート配線に到達するコンタクトホールを形成した。このコンタクトホールは、第1のゲート配線とその上に形成される第2のゲート配線の間のコンタクトを形成するためのもので、図10（A）および同図（B）のコンタクト845に相当するものである。コンタクトホールを形成した後、スパッタ法によって、厚さ3000～8000Å、例えば、5000Åのアルミニウム膜811を形成した。アルミニウム膜には0.1～0.5重量%のスカンジウム（Sc）を含有せしめておくと、ヒロックの発生を抑制する上で効果があった。（図8（B）、図9（B））

【0063】次いで、アルミニウム膜をエッチングし、第2のゲート配線・電極812、813、814、815を形成した。この結果、先に形成されたコンタクトホールを介して、第1のゲート配線と第2のゲート配線のコンタクトが形成された。この際には、第2のゲート配線でコンタクトホールが完全に覆われるように設計することが必要であった。これは、コンタクトホールにおいてシリコンで構成された第1のゲート配線が露出されていると、後の陽極酸化の工程において、この露出された

部分を通して電流が漏れてしまい、陽極酸化反応が進まないためである。(図8(C)、図9(C))

【0064】次に、電解溶液中において、ゲイト電極に電流を印加した。その際、3~10%の酒石酸にアンモニアを添加して、pH=6.8~7.2に調整したエチレングルコール溶液を用いた。溶液の温度は10℃前後の室温より低い方が良好な酸化膜が得られた。このため、第2のゲイト配線・電極の上面および側面にバリヤ型の陽極酸化物816、817、818、819が形成された。陽極酸化物の厚さは印加電圧に比例し、印加電圧が150Vで2000Åの陽極酸化物が形成された。陽極酸化物の厚さは1000~3000Åが好ましかった。3000Å以上の厚さの陽極酸化物を得るには250V以上の高電圧が必要であり、TFTの特性に悪影響を及ぼすので好ましくなかった。(図8(D)、図8(D))

【0065】その後、ドライエッチング法によって窒化珪素膜810をエッチングした。この際には、陽極酸化物はエッチングされないで、自己整合的に窒化珪素膜810がエッチングされ、ゲイト配線・電極と島状シリコン層の間にはゲイト絶縁膜820、821、822、823が残された。(図8(E)、図9(E))

【0066】次に、イオンドーピング法によって、島状シリコン層807、808、809に、ゲイト電極部(すなわちゲイト電極とその周囲の陽極酸化膜)をマスクとして自己整合的にN型およびP型の不純物を注入し、N型不純物領域(ソース/ドレイン領域)824、825、826、827、P型不純物領域828、829を形成した。ドーピングガスとしては、N型不純物のドーピングにはフォスフィン(PH<sub>3</sub>)を、P型不純物のドーピングにはジボラン(B<sub>2</sub>H<sub>6</sub>)を、それぞれドーピングガスとして用いた。ドーピング量は $5 \times 10^{14} \sim 5 \times 10^{15}$ 原子/cm<sup>2</sup>、加速エネルギーは10~30keVとした。その後、KrFエキシマレーザー(波長248nm、パルス幅20nsec)を照射して、活性層中に導入された不純物イオンの活性化をおこなった。(図8(F)、図9(F))

【0067】その後、全面に適当な金属、例えば、厚さ50~500Åのチタン膜830をスパッタ法によって形成した。(図8(G)、図9(G))そして、450~550℃、例えば、500℃で10~60分、熱アニールすることによって、チタンとシリコンを反応させ、シリサイド(珪化チタン)領域831、832、833、834、835、836を形成した。この熱アニールの間にドーピングされた不純物のさらなる活性化もおこなわれた。熱アニールによるシリサイド化の代わりに、レーザー光の照射や、可視光線もしくは近赤外光の照射によるランプアニールによるものでもよい。

【0068】この後、過酸化水素とアンモニアと水とを5:2:2で混合したエッチング液でチタン膜をエッチ

ングした。露出した活性層と接触した部分以外のチタン膜(例えば、窒化珪素膜806や陽極酸化膜上に存在したチタン膜)はそのまま金属状態で残っているので、このエッチングで除去できる。一方、珪化チタンはエッチングされないで、残存させることができる。(図8(H)、図9(H))

【0069】さらに、全面に第1の層間絶縁物837として、CVD法によって酸化珪素膜を厚さ5000Å形成した。そして、TFTのソース/ドレインにコンタクトホールを形成した。第1の層間絶縁物形成後、400℃で10~30分アニールした。その後、アルミニウム配線・電極838、839、840、841を形成した。さらに、ITO膜によって、画素電極842も形成した。

【0070】最後に外部からの水分、可動イオン等がTFTに侵入しないように厚さ2000~5000Å、例えば、3000Åの窒化珪素膜843をプラズマCVD法によって形成し、画素部分844および周辺回路と外部ICチップとを接続する端子部(図示せず)を開孔し、ITO膜を露出させた。(図8(I)、図9(I))以上によって、アクティブマトリクス回路における配線交差部847、画素に接続するTFT848、周辺回路のNチャネル型TFT849、Pチャネル型TFT850が完成し、モノリシック型アクティブマトリクス回路が完成された。

【0071】本実施例による画素の部分に設けられたTFTを上方から見た図を図10(A)に示す。スキャンドライバから延びてきたゲイト線は図では1本の線のように見えるが、実際には、第2のゲイト線812の下には、これと並行に第1のゲイト線802が設けられている。そして、第1のゲイト線と第2のゲイト線は、コンタクト845において、接続されている。本実施例のアクティブマトリクス回路においては、TFT1個に付き1か所のコンタクトを設けた。

【0072】このため、上下いずれかのゲイト配線に断線があったとしても、その行全体が不良となることはなかった。特に、本実施例では図10(A)に示すように、ゲイト線の分岐する部分にコンタクトを設けたが、それは、コンタクトを形成するためのパッド領域(配線の幅の太い領域)を設けるに際して、当該部分では、特別なスペースを必要とせず、レイアウト上、有利であるためである。

【0073】図10(A)におけるゲイト線にそったa-bの断面構造を図10(B)に示す。また、図10(A)の回路を複数並べたマトリクスの回路図を図10(C)に示す。図10(A)において、ゲイト線812(および802)は上の行の画素電極の下に延びる配線846にも分岐しているが、この配線846は画素電極との間に容量を形成し、回路上是画素電極によって形成される液晶の容量と並列に存在する。このように加工し

た基板において外部のICチップと接続するITOの端子部(図4の41に相当)上にICチップをマウントし、図4に示されるようにFCOG法によってICチップと接着した。

【0074】(実施例7) 本実施例は、アモルファスシリコン(a-Si) TFTを利用したアクティブマトリクス回路と、結晶性シリコンTFTを利用した周辺回路とを同一ガラス基板上に形成したモノリシック型アクティブマトリクス回路(TFT回路)基板上にICチップをワイヤボンディング法によって接続するものに関する。図11にはモノリシック型アクティブマトリクス回路の作製工程を示す。まず、ガラス基板901上に下地酸化膜902として厚さ1000~3000Åの酸化珪素膜を形成した。

【0075】その後、プラズマCVD法やLPCVD法によってアモルファス状のシリコン膜903を300~1500Å、例えば、500Åの厚さに堆積し、さらに、プラズマCVD法によって、保護層904として、厚さ50~1000Å、例えば、200Åの酸化珪素または窒化珪素膜を形成した。そして、KrFエキシマレーザー(波長248nm、パルス幅20nsec)を照射して、シリコン膜903の結晶性を改善させた。レーザーのエネルギー密度は200~400mJ/cm<sup>2</sup>、好ましくは250~300mJ/cm<sup>2</sup>とした。(図11(A))

【0076】次に保護層904を除去して、シリコン層903を露出せしめ、これを島状にパターニングして、Nチャネル型TFT領域905とPチャネル型TFT領域906を形成した。さらに、酸素雰囲気中でのスパッタ法やTEOSをプラズマCVD法で分解・堆積して、ゲイト酸化膜907を形成した。その後、厚さ2000Å~5μmのアルミニウム膜をスパッタ法によって形成して、これをエッチングし、ゲイト電極908、909を形成した。なお、このとき同時にアクティブマトリクス部のTFT(逆スタガー型)のゲイト電極910も形成された。(図11(B))

【0077】さらに、基板を塩酸溶液に浸してゲイト電極に電流を通じ、その周囲に陽極酸化物の層911~913を形成した。なお、この際には、本発明人等の発明である特開平5-114724、同5-267667および同5-283694に示される如く、周辺回路領域のTFT(すなわち、図の左側のTFT)の陽極酸化膜を薄くして移動度を向上せしめ、また、アクティブマトリクス部のTFT(すなわち、図の右側の逆スタガー型TFT)の陽極酸化膜を厚くしてゲイトリークを防止するという構成を取ることが望ましい。本実施例では、いずれも陽極酸化膜の厚さは2000~2500Åとした。(図11(C))

【0078】その後、イオンドーピング法によって、各TFTの島状シリコン膜中に、ゲイト電極部(すなわち

ゲイト電極とその周囲の陽極酸化膜)をマスクとして自己整合的に不純物を注入した。この際には、最初に全面にフォスフィン(PH<sub>3</sub>)をドーピングガスとして燐を注入し、その後、図の島状領域905だけをフォトレジストで覆って、ジボラン(B<sub>2</sub>H<sub>6</sub>)をドーピングガスとして、島状領域906だけに硼素を注入した。ドーピング量は、燐は2~8×10<sup>15</sup>原子/cm<sup>2</sup>、硼素は4~10×10<sup>15</sup>原子/cm<sup>2</sup>とし、硼素のドーピング量が燐を上回るように設定した。

10 【0079】その後、KrFエキシマレーザー(波長248nm、パルス幅20nsec)を照射して、上記不純物領域の導入によって、結晶性の劣化した部分の結晶性を改善させた。レーザーのエネルギー密度は200~400mJ/cm<sup>2</sup>、好ましくは250~300mJ/cm<sup>2</sup>とした。(図11(D))この結果、N型の領域914、915、およびP型の領域916、917が形成された。これらの領域のシート抵抗は200~800Ω/□であった。

20 【0080】その後、全面に層間絶縁物918として、プラズマCVD法によって窒化珪素膜を厚さ3000Å形成した。この膜は周辺回路では単なる層間絶縁物であるが、アクティブマトリクス部ではTFTのゲイト電極となるので、その作製には注意が必要である。その後、アクティブマトリクス部のゲイト電極910上に厚さ100~500Å、例えば、200Åのアモルファスシリコン層919を形成し、さらに、プラズマCVD法によって、a-SiTFTのソース/ドレインとなるマイクロクリスタル状のシリコン層(厚さ500~1000Å)によってソース/ドレイン920、921を作製した。さらに、アクティブマトリクス部のTFTには、透明導電材料(ITO等)で画素電極925を形成した。

30 【0081】その後、周辺回路部のTFTのソース/ドレインにコンタクトホールを形成し、アルミニウム配線922、923、924を形成した。この場合には、左側のNチャネル型TFTとPチャネル型TFTでインバータ回路が形成されていることが示されている。最後に、水素中で350℃で2時間アニールして、シリコン膜のダングリングボンドを減らした。以上の工程によって周辺回路とアクティブマトリクス回路を一体化して形成した。

40 【0082】なお、本実施例では、アクティブマトリクスのa-SiTFTとしては逆スタガー型TFTを用いたが、これはa-Siは光照射で導電率が変化するもので、チャネル部に光が入射しないようにするためである。このように加工した基板において外部のICチップと接続するアルミニウム配線の端子部(図2の21に相当)を図2に示されるようにワイヤボンディング法によってICチップと接続した。

【0083】

50 【発明の効果】本発明によって、液晶ディスプレイを有

する電子装置の小型化、軽量化、薄型化を成就することができた。

【図面の簡単な説明】

【図1】 本発明の構成を示す。

【図2】 実施例におけるワイヤボンディング法の構成例を示す。

【図3】 実施例1および2の構成を示す。

【図4】 実施例におけるFCOG法の構成例を示す。

【図5】 実施例3におけるTFT回路基板の作製工程図を示す。

【図6】 実施例4におけるTFT回路基板の作製工程図を示す。

【図7】 実施例5におけるTFT回路基板の作製工程図を示す。

【図8】 実施例6におけるTFT回路基板の作製工程図を示す。

【図9】 実施例6におけるTFT回路基板の作製工程図を示す。

【図10】 実施例6におけるTFT回路の上面図、断面図、回路図を示す。

【図11】 実施例7におけるTFT回路基板の作製工程図を示す。

【符号の説明】

11・・・・・・TFT

12・・・・・・画素電極

13・・・・・・補助容量

14・・・・・・アクティブマトリクス回路

15・・・・・・ガラス基板

20・・・・・・ガラス基板

21・・・・・・TFT回路配線端子

22・・・・・・ICチップ

23・・・・・・ICチップ端子部

24・・・・・・ボンディングワイヤ

25・・・・・・樹脂

10 29・・・・・・対向基板

30・・・・・・主基板

31・・・・・・アクティブマトリクス回路領域

32～34・・・・・・周辺駆動回路領域

35・・・・・・チップ接着領域

36・・・・・・メインメモリー

37・・・・・・MPU

38・・・・・・補助メモリー

39・・・・・・配線接続パッド

40・・・・・・ガラス基板

20 41・・・・・・TFT回路配線端子

42・・・・・・ICチップ

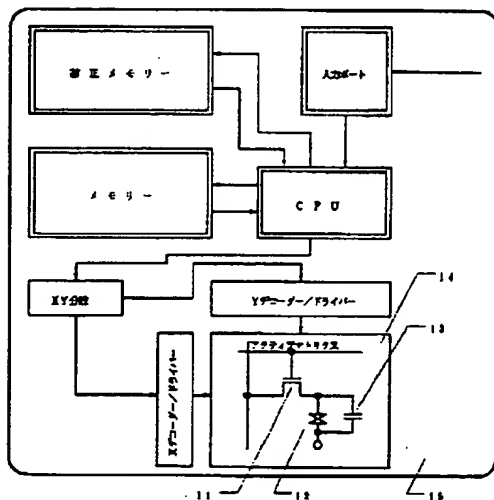
43・・・・・・ICチップ端子部

44・・・・・・パンブ

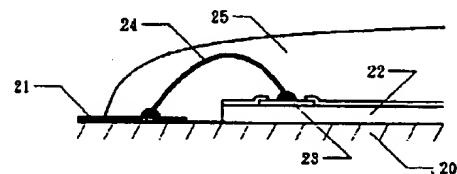
45・・・・・・樹脂

46・・・・・・金属粒子

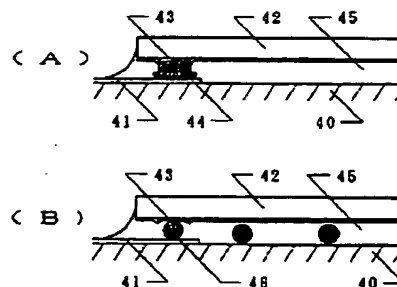
【図1】



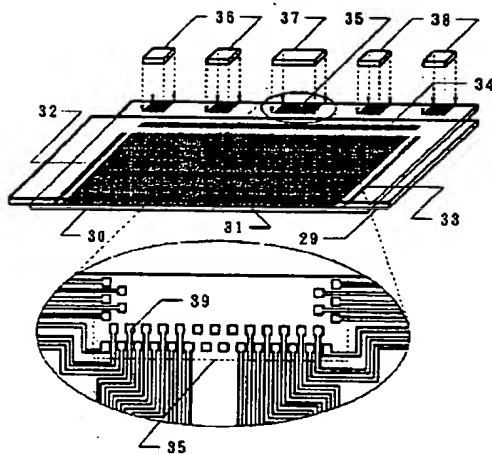
【図2】



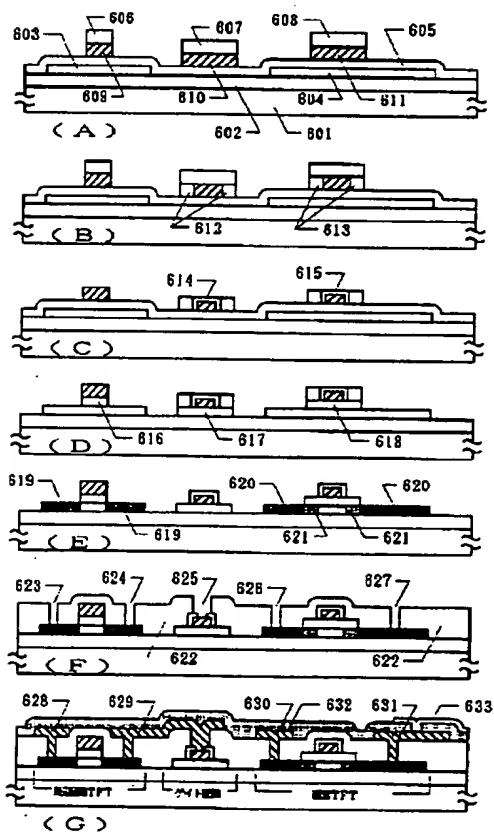
【図4】



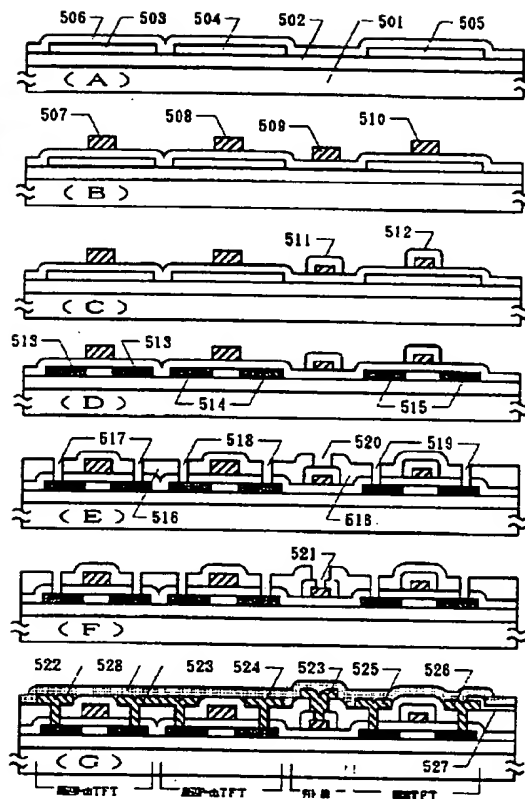
【図3】



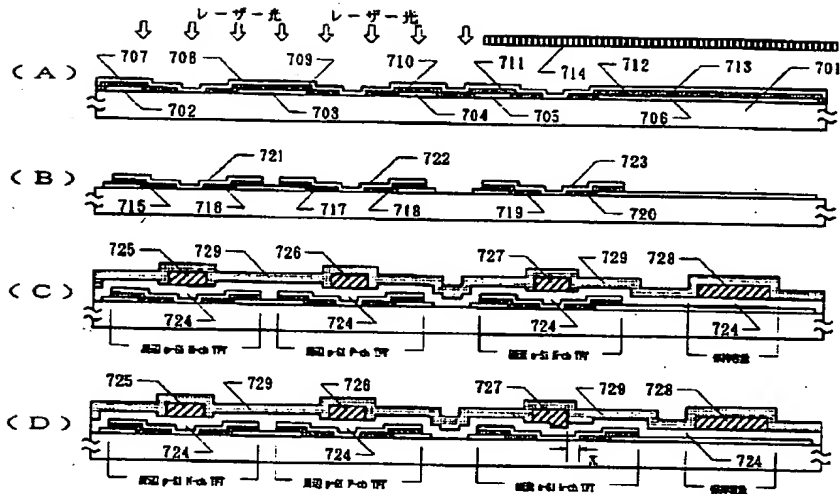
【図6】



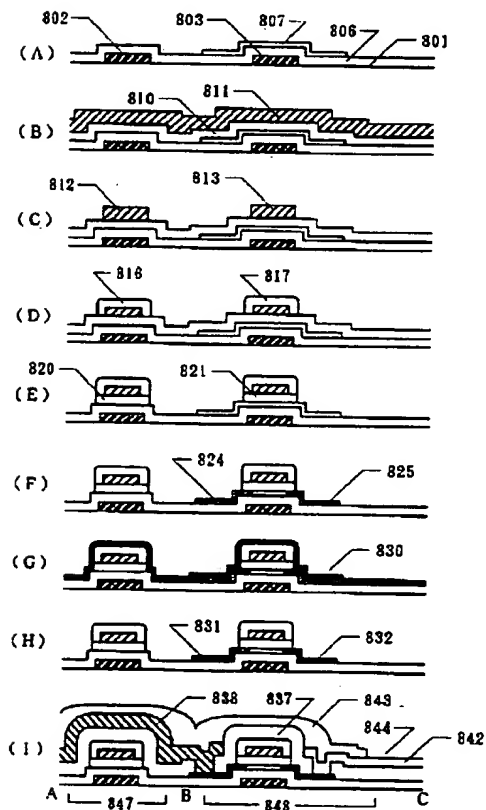
【図5】



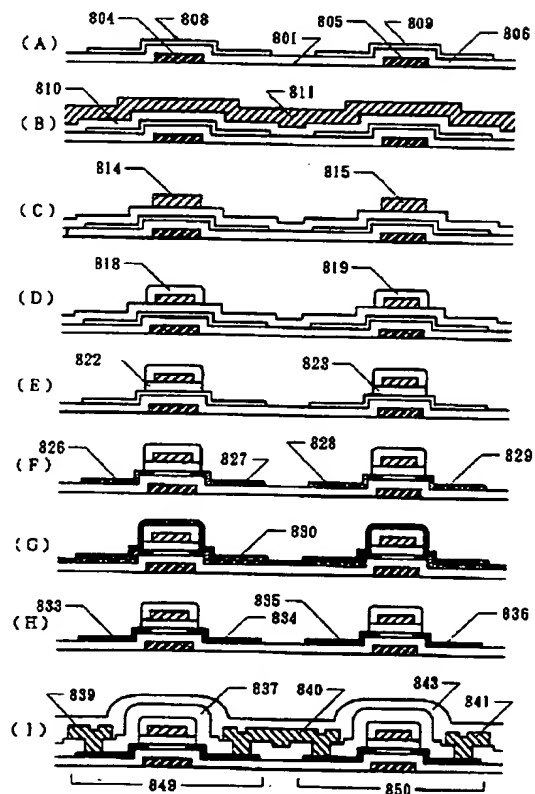
【図7】



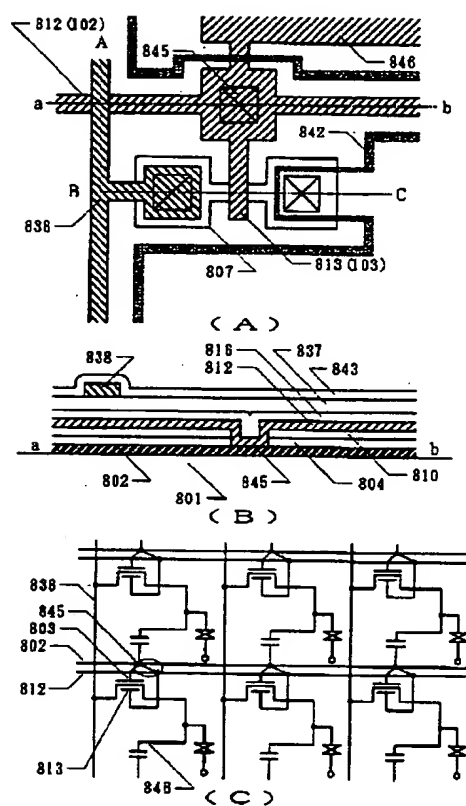
【図8】



【図9】



【図10】



【図11】

